

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284376

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 21/56  
H01L 21/301  
H01L 21/768

(21)Application number : 2000-100923

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 03.04.2000

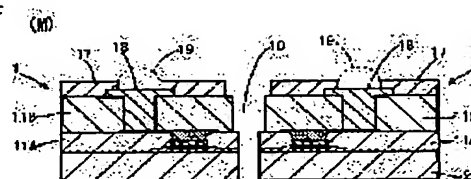
(72)Inventor : ENOMOTO AKIRA  
SUZUKI HIROKI

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor chip which can prevent warpage deformation.

SOLUTION: A trench 10 is made in setting resin 7, before hardening the setting resin 7 stacked on a wafer 2. Consequently, the stress at the time of hardening and shrinking of the setting resin 7 is offset, and warpage deformation can be prevented in the wafer 2 as a whole. Moreover, the trench 10 is provided in line with a dicing street 9. Dicing work can be performed easily, by providing a chip with the trench 10 in advance in matching with the cutting section.



1...半導体層  
2...ウェハ  
7...硬化性樹脂  
9...ダイシングストリート  
10...溝部  
16...埋め樹脂

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] It is the manufacture approach of a semiconductor chip of coming to prepare a hardenability resin layer on the wafer side after semiconductor device formation. The process which carries out the laminating of the hardenability resin before hardening on the wafer side after the (a) aforementioned semiconductor device formation at least, (b) -- the process which forms a slot in the hardenability resin before said hardening, and (c) -- the process which stiffens said hardenability resin, and (d) -- the manufacture approach of the semiconductor chip characterized by having the process which cuts said wafer in predetermined magnitude and is used as said semiconductor chip.

[Claim 2] Said slot is the manufacture approach of the semiconductor chip according to claim 1 characterized by being prepared according to the dicing street when cutting said wafer.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor chip.

[0002]

[Description of the Prior Art] the silicon wafer side top of one sheet in which many semiconductor devices of the same circuit were formed when manufacturing a semiconductor chip -- a conductor -- after forming a circuit, many semiconductor chips are manufactured from one wafer by carving. The outline of the production process is as follows. First, an aluminum electrode pad is prepared in the predetermined location by the side of the whole surface, the laminating of the hardenability resin before hardening on the field in which the electrode pad was prepared in the wafer with which other parts were covered by the protective coat (passivation film) is carried out to the whole surface, and it is made to harden it. in this way, the thing for which the beer hall which carries out the laminating of the insulating layer on the wafer, for example, is connected to an electrode pad with laser is formed, and the beer hall

is filled up with a conductive ingredient -- a conductor -- a circuit is formed. case a circuit is complicated -- further -- a conductor -- the laminating and hardening of hardenability resin are done on a circuit -- making -- the second insulating layer -- the above -- the same -- carrying out -- a conductor -- a circuit is formed. thus, the conductor using the beer hall established in the position of the insulating layer by hardenability resin, and its insulating layer -- a semiconductor chip is formed on a wafer side by forming a circuit by turns. Finally, each semiconductor chip is manufactured by performing dicing actuation which carves a wafer into each chip along the dicing street which divides each semiconductor chip.

[0003]

[Problem(s) to be Solved by the Invention] By the way, in addition to the laminating of the insulating layer formed on a wafer side being carried out only to the one side side of a wafer, the hardenability resin used as an ingredient causes contraction at the time of hardening. For this reason, the wafer might cause curvature deformation with the hardening reaction of hardenability resin. In a wafer with a diameter of 4 inches, such an amount of curvatures of a wafer amounts to 400 micrometers – 600 micrometers between the center of a wafer, and an edge part, when the first insulating layer with a thickness of 20 micrometers is formed and 100 micrometers – 150 micrometers and the second insulating layer with a thickness of 50 micrometers – 70 micrometers are formed between the center of a wafer, and an edge part.

[0004] This invention is made in view of the above-mentioned situation, and the purpose is in offering the manufacture approach of the semiconductor chip which can prevent curvature deformation of the wafer when stiffening hardenability resin.

[0005]

[Means for Solving the Problem] The manufacture approach of the semiconductor chip applied to invention of claim 1 in order to solve the above-mentioned technical problem It is the manufacture approach of a semiconductor chip of coming to prepare a hardenability resin layer on the wafer side after semiconductor device formation. The process which carries out the laminating of the hardenability resin before hardening on the wafer side after the (a) aforementioned semiconductor device formation at least, (b) It is characterized by having the process which forms a slot in the hardenability resin before said hardening, the process which stiffens the (c) aforementioned hardenability resin, and the process which cuts the (d) aforementioned wafer in predetermined magnitude, and is used as said semiconductor chip.

[0006] Invention of claim 2 is the manufacture approach according to claim 1, and said slot is characterized by being prepared according to the dicing street when cutting said wafer.

[0007]

[An operation of invention, and an effect of the invention] Before stiffening hardenability resin, the slot is made to form in hardenability resin according to invention of claim 1. Thus, if hardenability resin is stiffened after forming a slot, a shrinkage force tends to occur with the hardening reaction of hardenability resin, and it is going to curve a wafer. However, since such a shrinkage force goes to hard flow mutually in the two sections which adjoin across a slot, shrinkage forces are offset. Thereby, curvature deformation can be made to mitigate with the whole wafer.

[0008] According to invention of claim 2, the slot is prepared according to the dicing street. Thus, a dicing activity can be easily done by preparing the slot beforehand according to the cutting part.

[0009]

[Embodiment of the Invention] Hereafter, 1 operation gestalt which materialized the manufacture approach of the semiconductor chip 1 of this invention is explained to a detail, referring to drawing 1 – drawing 4 . Especially in the manufacture approach of this semiconductor chip 1, on the 2nd page of a wafer, it is a laminating and the process before making it harden and forming insulating layers 11A and 11B about hardenability resin 7, and it is characteristic to form a slot 10 according to the dicing street 9.

[0010] The wafer 2 used for a semiconductor chip 1 is a product made from a silicon single crystal, for

example, is fabricated by the diameter of 4 inches, and about [ thickness 500micrometer ] thin discoid. It is manufactured after the semiconductor chip 1 with an one-side configuration [ square ] of about 15mm has aligned in all directions to this wafer 2. The electrode pad 3 of aluminum is formed in the position, and other parts are covered with one side (setting to drawing 1 A top-face side) of this wafer 2 with the passivation film 6. Zincate processing is performed to the front face of the electrode pad 3. This processing enables it to make easy a deposit of a nickel-plating layer or the composite-coatings layer of nickel and copper. As zincate processing, a wafer 2 can be performed by being immersed for 10 – 30 seconds in ordinary temperature into the mixed liquor of the zinc oxide which is a metal salt, and the sodium hydroxide as a reducing agent, for example.

[0011] Next, a wafer 2 is immersed during a nickel nonelectrolytic plating bath, and the nickel-plating layer 4 is deposited on electrode Bud 3. Then, a wafer 2 is immersed in the composite-coatings liquid of nickel-copper, and the composite-coatings layer 5 of nickel with a thickness of 0.01 micrometers – 5 micrometers and copper is formed on the nickel-plating layer 4.

[0012] Subsequently, photosensitive hardenability resin 7 is applied to the whole surface ( drawing 1 A). As hardenability resin 7, a photosensitive epoxy resin and polyimide resin can be used, for example. Next, slot 10A from the top face of hardenability resin 7 to the passivation film 6 is formed in the location adjusted on the dicing street 9 by performing exposure and a development. Moreover, beer hall 8A is formed in coincidence ( drawing 1 B). In this way, after forming slot 10A and beer hall 8A, thickness forms first insulating-layer 11A which is about 20 micrometers by performing the hardening reaction of hardenability resin 7. Thus, curvature deformation of the wafer 2 accompanying a hardening reaction can be made to mitigate by forming slot 10A, before performing the hardening reaction of hardenability resin 7.

[0013] Although slot 10A and beer hall 8A were formed in coincidence with this operation gestalt using photosensitive hardenability resin 7, after forming and hardening only slot 10A, it is also possible to form beer hall 8A using carbon dioxide gas laser. In addition, after forming beer hall 8A, DESUMIA processing for removing the resin which remains inside beer hall 8A is performed. next -- while being filled up with non-electrolytic copper plating and forming beer 12 in beer hall 8A -- a first insulating-layer 11A top -- a conductor -- a circuit 13 is formed ( drawing 1 C).

[0014] Next, after applying photosensitive hardenability resin 7 on first insulating-layer 11A, the mask set by the configuration of the dicing street 9 is given, and before performing exposure and a development and stiffening hardenability resin 7, the slot 10 which results in the passivation film 6 is formed in hardenability resin 7 ( drawing 2 D). In this way, after forming a slot 10, the hardening reaction of hardenability resin 7 is performed and second with a thickness of 50 micrometers – 70 micrometers insulating-layer 11B is formed. Although it is going to curve a wafer 2 by contraction of hardenability resin 7 in the case of this hardening reaction, since such a shrinkage force goes to hard flow mutually in the two sections which adjoin across a slot 10, shrinkage forces are offset. For this reason, curvature deformation can be made to mitigate in the wafer 2 whole. Since the shrinkage force to which the second insulating-layer 11B tends to curve a wafer 2 with a hardening reaction rather than first insulating-layer 11A since thickness is large becomes large with this operation gestalt especially, before forming second insulating-layer 11B, the effectiveness of forming the slot 10 is large.

[0015] furthermore, carbon dioxide gas laser -- the conductor from the front face of second insulating-layer 11B -- beer hall 8B which reaches a circuit 13 is formed ( drawing 2 E). At this time, the protection film made from polyethylene terephthalate (not shown) can be stuck on the top face of second insulating-layer 11B. Thus, by sticking a PET film, it can prevent that the opening edge of beer hall 8B spreads in the shape of a earthenware mortar. Then, DESUMIA processing for removing the resin which remains inside beer hall 8B is performed. Next, the copper-plating film 14 is formed in the front face of second insulating-layer 11B, beer hall 8B, and a slot 10 with nonelectrolytic plating ( drawing 2 F). Then, the catalyst nucleus is given to the copper-plating film 14 by giving a palladium catalyst (product made from ATOTEKKU), for example.

[0016] Next, opening 15A which was beer hall 8B and this alignment, and turned to the resist 15 one and equipped it with the big diameter rather than the diameter of beer hall 8B is formed on the field of this copper-plating film 14 by performing exposure and a development, where it carries out the laminating of the photosensitive resist 15 for example, with the spin coat and the mask of the predetermined pattern is carried out ( drawing 2 G).

[0017] Next, by performing electrolysis plating, copper is deposited in the location equivalent to opening 15A on the copper-plating film 14, and the bump pad 16 is formed in it ( drawing 3 H). Subsequently, the copper-plating film 14 is removed by exfoliating ( drawing 3 I) and carrying out light etching of the resist 15 ( drawing 3 J). Subsequently, the photosensitive solder resist 17 is applied to the whole surface ( drawing 3 K). While forming the opening 18 which opens the center section of the bump pad 16 for solder resist 17 to solder resist 17 exposure and by carrying out a development, the slot 10 established in the top-face part of the dicing street 9 is opened ( drawing 4 L). In addition, opening 18 is used in order to form the solder bump 19 who uses in case a semiconductor chip 1 is connected to other printed circuit boards etc.

[0018] Manufacture of a semiconductor chip 1 is completed by finally performing dicing actuation which carves a wafer 2 along a slot 10 and the dicing street 9 ( drawing 4 R>4M).

[0019] As mentioned above, according to this operation gestalt, the slot 10 is formed in hardenability resin 7 before stiffening the hardenability resin 7 which carried out the laminating on the 2nd page of a wafer (refer to drawing 1 B and drawing 2 R>2D). Thus, if hardenability resin 7 is stiffened after forming a slot 10, with the hardening reaction of hardenability resin 7, a shrinkage force tends to occur and it is going to curve a wafer 2. However, since such a shrinkage force goes to hard flow mutually in the two sections which adjoin across a slot 10, shrinkage forces are offset. Thereby, curvature deformation can be made to mitigate in the wafer 2 whole.

[0020] Moreover, the slot 10 is formed according to the dicing street 9. Thus, a dicing activity can be easily done by forming the slot 10 beforehand according to the cutting part.

[0021] In addition, this invention can deform as follows and can also be carried out. Moreover, the technical range of this invention is not limited by these operation gestalten, and reaches even the equal range.

(1) With this operation gestalt, although the slot 10 was formed according to the dicing street 9, according to this invention, it is not necessary to necessarily double the location of a slot and a dicing street.

(2) With this operation gestalt, although the slot 10 is formed about both first insulating-layer 11A and second insulating-layer 11B, according to this invention, the slot should just be established in one of insulating layers at least. In addition, you may make it establish a slot 10 only in second insulating-layer 11B of a thicker side with this operation gestalt.

Moreover, what is necessary is just to prepare the slot, before stiffening the resin which forms the thickest (the shrinkage force at the time of making it harden is strong) insulating layer when an insulating layer amounts to three or more layers. In addition, you may make it prepare a slot about all layers, of course also in such a case.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] Drawing 1 which shows the manufacture approach of the semiconductor chip in this operation gestalt

- (A) The sectional view before the hardening reaction when forming a nickel-plating layer and a composite-coatings pad on the aluminum pad prepared in the predetermined location, and carrying out the laminating of the hardenability resin further
- (B) The sectional view when making it harden, after establishing a slot and a beer hall in hardenability resin, and forming the first insulating layer
- (C) a beer hall -- being filled up -- the first insulating-layer top -- a conductor -- the sectional view when forming a circuit
- (D) The sectional view when carrying out the laminating of the hardenability resin and preparing a slot before a hardening reaction on the first insulating layer

[Drawing 2] Drawing 2 which shows the manufacture approach of the semiconductor chip of this operation gestalt

- (E) The sectional view when forming a beer hall in the second insulating layer
- (F) The sectional view when forming the copper-plating film in the second insulating-layer front face
- (G) Sectional view when preparing a resist on the non-electrolytic copper plating film
- (H) The sectional view when forming bump BADD0

[Drawing 3] Drawing 3 which shows the manufacture approach of the semiconductor chip of this operation gestalt

- (I) Sectional view when exfoliating a resist
- (J) The sectional view when removing the copper-plating film
- (K) The sectional view when preparing solder resist
- (L) The sectional view when preparing opening in solder resist

[Drawing 4] Drawing 4 which shows the manufacture approach of the semiconductor chip of this operation gestalt

- (M) The sectional view of the semiconductor chip when cutting along a dicing street

### [Description of Notations]

- 1 -- Semiconductor chip
- 2 -- Wafer
- 7 -- Hardenability resin
- 9 -- Dicing street
- 10 10A -- Slot

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-284376  
(P2001-284376A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L	21/56	H 0 1 L 21/56	E 5 F 0 3 3
	21/301	21/78	L 5 F 0 6 1
	21/768	21/90	S

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願2000-100923 (P2000-100923)

(22) 出願日 平成12年4月3日 (2000. 4. 3)

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 榎本 亮

岐阜県揖斐郡揖斐川町北方1-1 イビデ  
ン株式会社内

(72) 発明者 鈴木 宏紀

岐阜県揖斐郡揖斐川町北方1-1 イビデ  
ン株式会社内

(74) 代理人 100096840

弁理士 後呂 和男 (外1名)

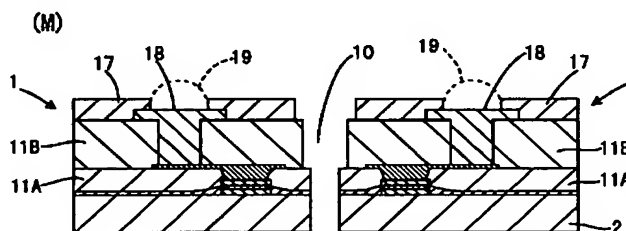
最終頁に続く

(54) 【発明の名称】 半導体チップの製造方法

(57) 【要約】

【課題】 反り変形を防止することのできる半導体チップの製造方法を提供すること。

【解決手段】 ウエハ2 面上に積層した硬化性樹脂7を硬化させる前に、硬化性樹脂7に溝部10を形成する。これにより、硬化性樹脂7が硬化、収縮する際の応力は相殺され、ウエハ2全体では、反り変形を防止することができる。また、溝部10はダイシングストリート9にあわせて設けられる。このように、切断部分に合わせてあらかじめ溝部10を設けておくことにより、ダイシング作業を容易に行うことができる。



1…半導体チップ  
2…ウエハ  
7…硬化性樹脂  
9…ダイシングストリート  
10, 10A…溝部

(2)

## 【特許請求の範囲】

【請求項1】 半導体素子形成後のウエハ面上に、硬化性樹脂層を設けてなる半導体チップの製造方法であって、少なくとも、

- (a) 前記半導体素子形成後のウエハ面上に硬化前の硬化性樹脂を積層する工程、
- (b) 前記硬化前の硬化性樹脂に溝部を形成する工程、
- (c) 前記硬化性樹脂を硬化させる工程、
- (d) 前記ウエハを所定の大きさに切断して前記半導体チップとする工程を備えることを特徴とする半導体チップの製造方法。

【請求項2】 前記溝部は、前記ウエハを切断するときのダイシングストリートに合わせて設けられていることを特徴とする請求項1に記載の半導体チップの製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップの製造方法に関するものである。

【0002】

【従来の技術】半導体チップを製造する際には、同じ回路の半導体素子が多数形成された一枚のシリコンウエハ面上に導体回路を形成した後、切り分けることにより、一枚のウエハから多数の半導体チップを製造している。その製造工程の概要は、以下の通りである。まず、一面側の所定位置にアルミニウム電極パッドが設けられ、その他の部分が保護膜（パッシベーション膜）で覆われたウエハにおいて、その電極パッドが設けられた面上に硬化前の硬化性樹脂を全面に積層し硬化させる。こうしてウエハ上に絶縁層を積層しておき、例えばレーザによって電極パッドに連絡するビアホールを形成し、そのビアホールを導電性材料で充填することにより、導体回路を形成する。回路が複雑な場合には、さらに導体回路上に硬化性樹脂を積層・硬化させ、その第二の絶縁層に、上記と同様にして導体回路を形成する。このようにして、硬化性樹脂による絶縁層と、その絶縁層の所定の位置に設けられたビアホールを利用した導体回路とを交互に形成することにより、ウエハ面上に半導体チップが形成される。最後に、各半導体チップを区画するダイシングストリートに沿って、ウエハを各チップに切り分けるダイシング操作を行うことにより、個々の半導体チップが製造される。

【0003】

【発明が解決しようとする課題】ところで、ウエハ面上に形成される絶縁層は、ウエハの片面側のみ積層されることに加え、材料として使用される硬化性樹脂は硬化時に収縮を起こす。このため、硬化性樹脂の硬化反応に伴い、ウエハが反り変形を起こしてしまうことがあった。このようなウエハの反り量は、例えば直径4インチのウエハにおいて、厚さ20 $\mu$ mの第一絶縁層を形成し

2

た場合には、ウエハの中央と端縁部分との間で100 $\mu$ m～150 $\mu$ m、厚さ50 $\mu$ m～70 $\mu$ mの第二絶縁層を形成した場合には、ウエハの中央と端縁部分との間で400 $\mu$ m～600 $\mu$ mに達する。

【0004】本発明は、上記した事情に鑑みてなされたものであり、その目的は、硬化性樹脂を硬化させるときのウエハの反り変形を防止することのできる半導体チップの製造方法を提供することにある。

【0005】

【課題を解決するための手段】上記の課題を解決するために請求項1の発明に係る半導体チップの製造方法は、半導体素子形成後のウエハ面上に、硬化性樹脂層を設けてなる半導体チップの製造方法であって、少なくとも、(a) 前記半導体素子形成後のウエハ面上に硬化前の硬化性樹脂を積層する工程、(b) 前記硬化前の硬化性樹脂に溝部を形成する工程、(c) 前記硬化性樹脂を硬化させる工程、(d) 前記ウエハを所定の大きさに切断して前記半導体チップとする工程を備えることを特徴とする。

【0006】請求項2の発明は、請求項1に記載の製造方法であって、前記溝部は、前記ウエハを切断するときのダイシングストリートに合わせて設けられていることを特徴とする。

【0007】

【発明の作用、および発明の効果】請求項1の発明によれば、硬化性樹脂を硬化させる前に、硬化性樹脂に溝部を形成させておく。このように溝部を形成した後に、硬化性樹脂を硬化させると、硬化性樹脂の硬化反応に伴って収縮力が発生し、ウエハを反らせようとする。しかしながら、そのような収縮力は、溝部を挟んで隣接する2つの区間において、互いに逆方向に向かうため、収縮力同士が相殺される。これにより、ウエハ全体では、反り変形を軽減させることができる。

【0008】請求項2の発明によれば、溝部はダイシングストリートに合わせて設けられている。このように、切断部分に合わせてあらかじめ溝部を設けておくことにより、ダイシング作業を容易に行うことができる。

【0009】

【発明の実施の形態】以下、本発明の半導体チップ1の製造方法を具体化した一実施形態について、図1～図4を参照しつつ詳細に説明する。この半導体チップ1の製造方法においては、特にウエハ2面上に硬化性樹脂7を積層・硬化させて絶縁層11A、11Bを形成する前の工程で、ダイシングストリート9に合わせて溝部10を形成しておくことが特徴的である。

【0010】半導体チップ1に使用されるウエハ2は、シリコン単結晶製で、例えば直径4インチ、厚さ500 $\mu$ m程度の薄い円盤状に成形されている。このウエハ2に、例えば一辺15mm程度の正形状の半導体チップ1が縦横に整列した状態で製造される。このウエハ2の片面（図1Aにおいて上面側）には、所定の位置にアル



(3)

3

ミニウムの電極パッド3が設けられており、その他の部分はパッシベーション膜6によって覆われている。電極パッド3の表面には、ジンケート処理が施されている。この処理により、ニッケルめっき層或いは、ニッケルと銅の複合めっき層の析出を容易にすることが可能となる。ジンケート処理としては、例えば、ウエハ2を常温で10～30秒間、金属塩である酸化亜鉛と還元剤としての水酸化ナトリウムとの混合液中に浸漬することにより行うことができる。

【0011】次に、ウエハ2をニッケル無電解めっき浴中に浸漬して、電極パッド3上にニッケルめっき層4を析出させる。続いて、ウエハ2をニッケル-銅の複合めっき液に浸漬し、ニッケルめっき層4上に厚さ0.01μm～5μmのニッケルと銅との複合めっき層5を形成する。

【0012】次いで、全面に感光性の硬化性樹脂7を塗布する(図1A)。硬化性樹脂7としては、例えば感光性のエポキシ樹脂やポリイミド樹脂を使用することができる。次に、露光・現像処理を施すことにより、ダイシングストリート9に整合する位置に、硬化性樹脂7の上面からパッシベーション膜6に至る溝部10Aを形成する。また、同時にビアホール8Aを形成する(図1B)。こうして溝部10Aとビアホール8Aを形成した後に、硬化性樹脂7の硬化反応を行うことで、厚さが約20μmの第一絶縁層11Aを形成する。このように、硬化性樹脂7の硬化反応を行う前に溝部10Aを形成しておくことで、硬化反応に伴うウエハ2の反り変形を軽減させることができる。

【0013】この実施形態では、感光性の硬化性樹脂7を用いて溝部10Aとビアホール8Aとを同時に形成したが、溝部10Aのみ形成、硬化した後、炭酸ガスレーザを用いてビアホール8Aを形成することも可能である。なお、ビアホール8Aを形成した後に、ビアホール8Aの内部に残留する樹脂を取り除くためのデスミア処理を行う。次に、ビアホール8A内に無電解銅めっきを充填して、ビア12を形成するとともに、第一絶縁層11A上に導体回路13を形成する(図1C)。

【0014】次に、第一絶縁層11A上に、感光性の硬化性樹脂7を塗布した後に、ダイシングストリート9の形状に合わせたマスクを施しておき、露光・現像処理を行って硬化性樹脂7を硬化させる前に、硬化性樹脂7にパッシベーション膜6に至る溝部10を形成しておく

(図2D)。こうして溝部10を形成した後に、硬化性樹脂7の硬化反応を行い、厚さ50μm～70μmの第二絶縁層11Bを形成する。この硬化反応の際には、硬化性樹脂7の収縮によってウエハ2を反らせようとするが、そのような収縮力は、溝部10を挟んで隣接する2つの区間において、互いに逆方向に向かうため、収縮力同士が相殺される。このため、ウエハ2全体では、反り変形を軽減させることができる。特に本実施形態では、

4

第一絶縁層11Aよりも第二絶縁層11Bの方が厚みが大きいので、硬化反応に伴ってウエハ2を反らせようとする収縮力が大きくなるため、第二絶縁層11Bを形成する前に溝部10を設けておく効果が大きい。

【0015】さらに、例えば炭酸ガスレーザにより、第二絶縁層11Bの表面から導体回路13に至るビアホール8Bを形成する(図2E)。このとき、第二絶縁層11Bの上面にポリエチレンテレフタレート製の保護フィルム(図示せず)を貼り付けておくことができる。このようにPETフィルムを貼り付けておくことで、ビアホール8Bの開口縁がすり鉢状に広がってしまうことを防止できる。この後、ビアホール8B内部に残留する樹脂を取り除くためのデスミア処理を行う。次に、第二絶縁層11B、ビアホール8Bおよび溝部10の表面に、無電解めっきにより銅めっき膜14を形成する(図2F)。その後、例えばパラジウム触媒(アトテック製)を付与することにより、銅めっき膜14に触媒核を付与しておく。

【0016】次に、この銅めっき膜14の面上に、例えばスピンコートにより感光性のレジスト15を積層しておき、所定のパターンをマスクした状態で露光・現像処理を行うことにより、レジスト15にビアホール8Bと同心でかつビアホール8Bの直径よりも一回り大きな直径を備えた開口部15Aを形成する(図2G)。

【0017】次に、電解めっきを行うことにより、銅めっき膜14上の開口部15Aに相当する位置に銅を析出させ、バンプパッド16を形成する(図3H)。次いで、レジスト15を剥離し(図3I)、ライトエッチングすることにより銅めっき膜14を除去する(図3J)。次いで、感光性のソルダレジスト17を全面に塗布する(図3K)。ソルダレジスト17を露光・現像処理することにより、ソルダレジスト17にバンプパッド16の中央部を開放する開口部18を設けるとともに、ダイシングストリート9の上面部分に設けられた溝部10を開放する(図4L)。なお、開口部18は、半導体チップ1を他のプリント基板等に接続する際に用いるはんだバンプ19を形成するために使用される。

【0018】最後に、溝部10およびダイシングストリート9に沿ってウエハ2を切り分けるダイシング操作を行うことにより、半導体チップ1の製造が完了する(図4M)。

【0019】以上のように、本実施形態によれば、ウエハ2面上に積層した硬化性樹脂7を硬化させる前に、硬化性樹脂7に溝部10を形成しておく(図1Bおよび図2D参照)。このように溝部10を形成した後に、硬化性樹脂7を硬化させると、硬化性樹脂7の硬化反応に伴って、収縮力が発生し、ウエハ2を反らせようとする。しかしながら、そのような収縮力は、溝部10を挟んで隣接する2つの区間において、互いに逆方向に向かうため、収縮力同士が相殺される。これにより、ウエハ2全

50

(4)

5

体では、反り変形を軽減させることができる。

【0020】また、溝部10はダイシングストリート9に合わせて設けられている。このように、切断部分に合わせてあらかじめ溝部10を設けておくことにより、ダイシング作業を容易に行うことができる。

【0021】なお、本発明は以下のように変形して実施することもできる。また、本発明の技術的範囲は、これらの実施形態によって限定されるものではなく、均等の範囲にまで及ぶものである。

(1) 本実施形態では、溝部10をダイシングストリート9に合わせて形成したが、本発明によれば、必ずしも溝部とダイシングストリートとの位置を合わせる必要はない。

(2) 本実施形態では、溝部10は第一絶縁層11A及び第二絶縁層11Bのいずれについても形成されているが、本発明によれば、溝部は、少なくともいずれかの絶縁層に設けられていればよい。なお、本実施形態では、より厚い側の第二絶縁層11Bにのみ溝部10を設けるようにしてもよい。

また、絶縁層が三層以上に及ぶ場合には、最も厚い（硬化させるときの収縮力が強い）絶縁層を形成する樹脂を硬化させる前に溝部を設けておけばよい。なお、そのような場合にも、勿論全層について溝部を設けるようにしておいてもよい。

【図面の簡単な説明】

【図1】本実施形態における半導体チップの製造方法を示す図-1

(A) 所定位置に設けられたアルミニウムパッド上にニッケルめっき層および複合めっきパッドを形成し、さらに硬化性樹脂を積層したときの硬化反応前の断面図

6

(B) 硬化性樹脂に溝部およびビアホールを設けた後に硬化させて第一絶縁層を形成したときの断面図

(C) ビアホールを充填し、第一絶縁層上に導体回路を形成したときの断面図

(D) 第一絶縁層上に硬化性樹脂を積層し、硬化反応前に溝部を設けたときの断面図

【図2】本実施形態の半導体チップの製造方法を示す図-2

(E) 第二絶縁層にビアホールを形成したときの断面図

(F) 第二絶縁層表面に銅めっき膜を形成したときの断面図

(G) 無電解銅めっき膜上にレジストを設けたときの断面図

(H) バンプパッドを形成したときの断面図

【図3】本実施形態の半導体チップの製造方法を示す図-3

(I) レジストを剥離したときの断面図

(J) 銅めっき膜を除去したときの断面図

(K) ソルダレジストを設けたときの断面図

(L) ソルダレジストに開口部を設けたときの断面図

【図4】本実施形態の半導体チップの製造方法を示す図-4

(M) ダイシングストリートに沿って切断したときの半導体チップの断面図

【符号の説明】

1…半導体チップ

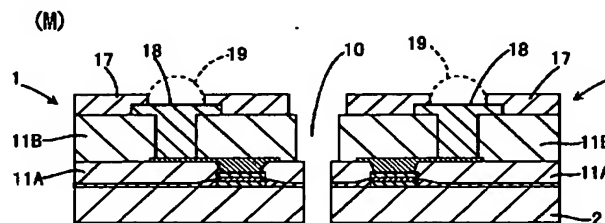
2…ウエハ

7…硬化性樹脂

9…ダイシングストリート

10, 10A…溝部

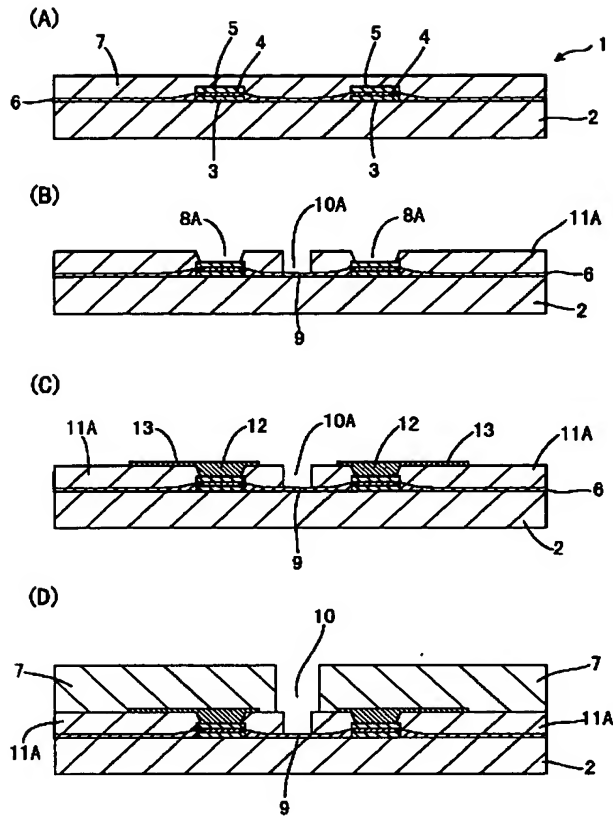
【図4】



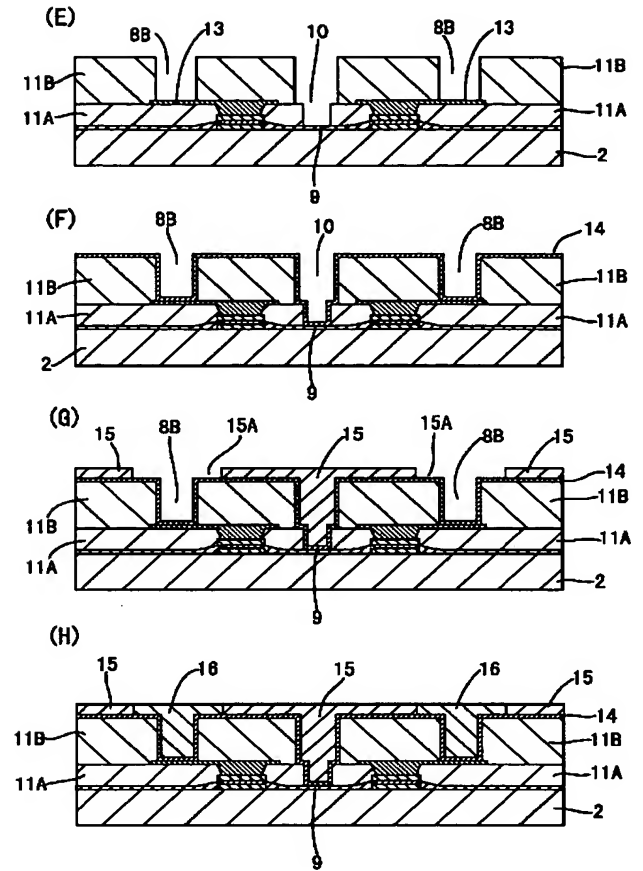
1…半導体チップ  
2…ウエハ  
7…硬化性樹脂  
9…ダイシングストリート  
10, 10A…溝部

(5)

【図 1】

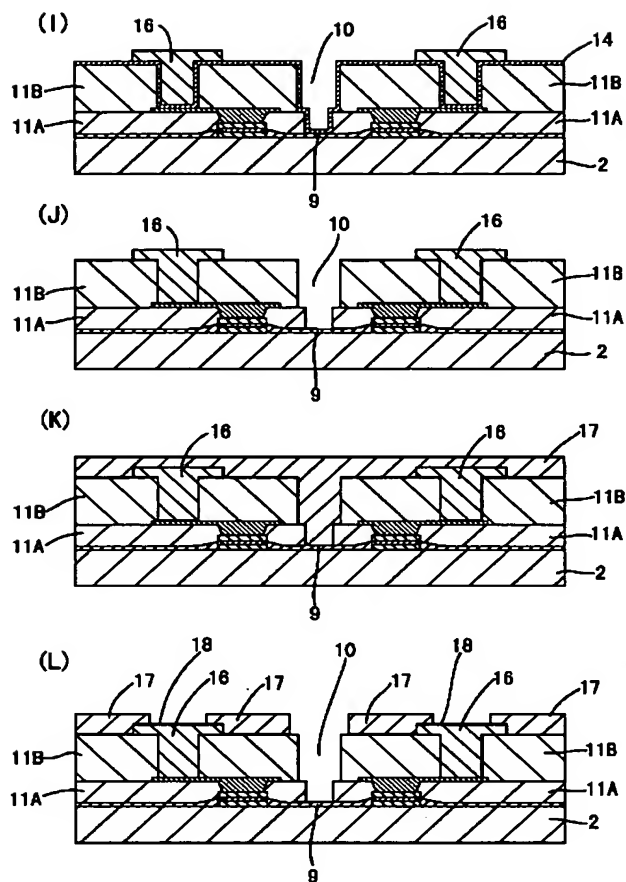


【図 2】



(6)

【図3】



フロントページの続き

Fターム(参考) 5F033 HH11 JJ01 KK07 KK08 KK11  
 KK12 MM01 PP28 QQ37 QQ54  
 RR22 SS22 TT03 VV07  
 5F061 AA01 CA10 CB13